

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-003936
(43)Date of publication of application : 06.01.1999

(51)Int. Cl. H01L 21/76
H01L 21/316
H01L 21/324

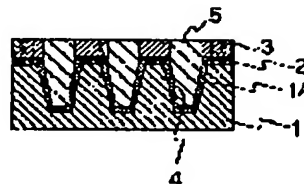
(21)Application number : 09-156256 (71)Applicant : NEC CORP
(22)Date of filing : 13.06.1997 (72)Inventor : ISHIKAWA HIROSHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the production of constriction of a silicon oxide film subsequent to a planarization processing of the silicon oxide film and to make effective an interelement isolation, by a method wherein a thermal oxide film is formed on the inner walls of trenches for isolating semiconductor elements, and after the silicon oxide film is formed on a substrate by a CVD method, this silicon oxide film is heat-treated in a high-pressure atmosphere.

SOLUTION: A silicon nitride film 30 is formed on a substrate 1 via a thermal oxide film 2. At this point, the films 3 and 2 are processed into a desired groove pattern by a photolithography method and a dry etching method. Then, a silicon film constituting the substrate is processed into a desired form of trenches 4 using the film 3 as a mask by a dry etching method. After this, a thermal oxide film 1A for protecting the trenches 4 is formed on the inner walls of the trenches 4. Then, a silicon oxide film 5 is formed on the substrate 1 by a reduced CVD method and the interiors of the grooves are buried with the film 5. Moreover, after that, the film 5 is heat-treated in a high-pressure atmosphere not containing water vapor and oxygen for densifying the film 5.



LEGAL STATUS

[Date of request for examination] 13.06.1997

[Date of sending the examiner's decision of rejection] 06.06.2000

[Kind of final disposal of application other than the examiner's decision of

rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's 2000-10323
decision of rejection]

[Date of requesting appeal against 06.07.2000
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-3936

(43) 公開日 平成11年(1999) 1月6日

(51) Int. Cl. ⁶	識別記号	F I	
H 0 1 L 21/76		H 0 1 L 21/76	L
21/316		21/316	S
			X
21/324		21/324	Z

審査請求 有 請求項の数 5 O L (全 5 頁)

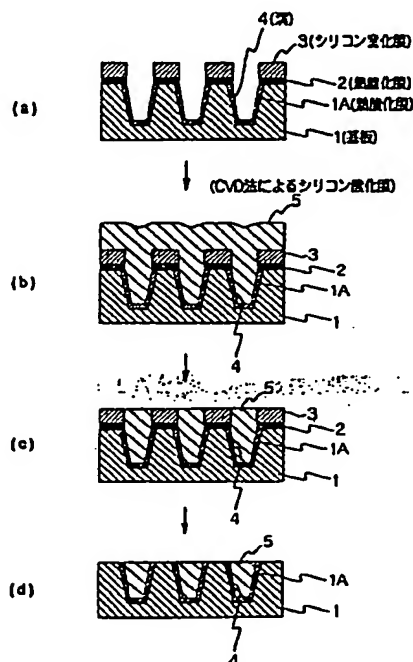
(21) 出願番号	特願平9-156256	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成9年(1997) 6月13日	(72) 発明者	石川 拓 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74) 代理人	弁理士 高橋 勇

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 溝埋設部材を高圧雰囲気を用いることによって低温で十分に緻密化し、又、シリコン窒化膜を溝側壁に形成することによって溝内壁の酸化を防止する等の手法を採り、これによって平坦加工後のくびれの発生を防止し、基板内における欠陥の発生を抑制し、同時に基板上における素子相互間の分離を有効に成し得る半導体装置の製造方法を提供すること。

【解決手段】 基板1上の複数の半導体素子を分離する分離用の溝4、14を形成するための溝形成工程と、この溝形成工程で形成された溝4、14の壁面に熱酸化膜1A、11Aを形成する熱酸化膜形成工程と、基板1上に化学気相成長法によってシリコン酸化膜5、17を形成するシリコン酸化膜形成工程とを備え、前記基板1全体を高圧雰囲気中で熱処理するようにしたこと。



【特許請求の範囲】

【請求項1】 基板上の複数の半導体素子を分離する分離溝を形成するための溝形成工程と、この溝形成工程で形成された溝の壁面に熱酸化膜を形成する熱酸化膜形成工程と、前記基板上に化学気層成長法によってシリコン酸化膜を形成するシリコン酸化膜形成工程とを備え、前記基板全体を高圧雰囲気中で熱処理すること特徴とした半導体装置の製造方法。

【請求項2】 基板上の複数の半導体素子を分離する分離溝を形成するための溝形成工程と、この溝形成工程で形成された溝の壁面に熱酸化膜を形成する熱酸化膜形成工程と、前記基板上にシリコン窒化膜を形成するシリコン窒化膜形成工程と、前記基板上に化学気層成長法によってシリコン酸化膜を形成するシリコン酸化膜形成工程とを備え、

前記基板全体を高圧雰囲気中で熱処理すること特徴とした半導体装置の製造方法。

【請求項3】 基板上の複数の半導体素子を分離する分離溝を形成するための溝形成工程と、この溝形成工程で形成された溝の壁面に熱酸化膜を形成する熱酸化膜形成工程と、当該溝壁面の熱酸化膜上部分にシリコン窒化膜を形成するシリコン窒化膜工程と、前記基板上に化学気層成長法によってシリコン酸化膜を形成する工程とを備え、

前記基板全体を高圧雰囲気中で熱処理すること特徴とした半導体装置の製造方法。

【請求項4】 前記請求項1記載の半導体装置の製造方法において、

前記基板全体の熱処理を、水蒸気及び酸素を含まない高圧雰囲気中で行うことを特徴とした半導体装置の製造方法。

【請求項5】 前記請求項2又は3記載の半導体装置の製造方法において、前記基板全体の熱処理を、水蒸気、酸素、窒素、水素、 N_2O 、又は不活性ガス若しくはその混合ガスの高圧雰囲気中で行うことを特徴とした半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に係り、とくに基板上に素子分離用の溝を備えた半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体装置の高集積化、高速化に伴い、個々の搭載される半導体素子の微細化のための技術が著しく進歩している。そして、これら半導体装置の高集積化に伴い、素子相互間の電気的な分離構造形成用として従来用いられてきたシリコン窒化膜を用いた局所酸化法（LOCOS法）に限界が生じ、溝を用いた新たな素子分離技術が開発されている。

【0003】例えば、特開昭60-124840号公報

では、溝形成後に絶縁膜を溝内に埋設した後、基板の融点以下で熱処理する方法が提案されている。

【0004】又、1996年の Symposium on VLSI Technology Digest 16.4のHan Sim Leeらは、「An Optimized Densification of the Filled Oxide for Quarter Micron Shallow Trench Isolation」において、図4に示す内容のものを提案している。

【0005】この図4に示す内容にあつては、シリコン基板101に所定の溝104を形成した後に内壁面に熱酸化膜101Aを形成し、その後、減圧化学気層成長（以下、「LP-CVD」という）法によって溝104内をシリコン酸化膜105で埋設し、窒素雰囲気中で高温熱処理を行い、化学的機械研磨法（以下「CMP法」という）により平坦化を行っている。

【0006】又、前述したLeeらの例では、シリコン酸化膜の緻密化、即ちウエットエッチングに対する耐性が、水蒸気雰囲気中で処理することで、熱処理温度を低温化できることを述べている。

【0007】更に、この場合は溝の内壁が酸化されることから、これに起因して溝内に応力が発生して結晶欠陥を生じること、同時に指摘している。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来例にあつては、溝埋設に用いられるCVD（気層成長法）によるシリコン酸化膜が緻密でないため、ウエットエッチングレートが大きい。このため、図4に示すように、CMP法（化学的機械研磨法）による平坦化後に、溝埋設膜に窪み（くびれ）106が生じたり、又溝部の中央にスリット（図示せず）が発生するという不都合があった。

【0009】一方、かかる不都合を改善するには、例えば当該箇所の緻密化を図る必要があり、そのためには、例えば1200〔℃〕若しくはそれ以上の高温熱処理が必要となる。しかしながら、かかる手法を従来のものに適用すると、基板に大きな熱応力が生じ、基板にスリップや結晶欠陥が発生するという不都合があった。

【0010】更に、上記従来例にあつては、熱処理による緻密化を低温で行うため、ウエット雰囲気中で処理すると、溝の内壁が酸化されて溝自体に大きなストレスが発生し、これがため基板に欠陥が生じる、という不都合があった。

【0011】

【発明の目的】本発明は、かかる従来例の有する不都合を改善し、特に、溝埋設膜を高圧雰囲気を用いることによって低温で十分に緻密化し、又、水蒸気雰囲気中で熱処理する場合には、シリコン窒化膜を溝側壁に形成することによって溝内壁の酸化を防止する等の手法を採り、これによって平坦加工後のくびれの発生を防止し、基板内における欠陥の発生を抑制し、同時に基板上における素

子相互間の分離を有効に成し得る半導体装置の製造方法を提供することを、その目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するため、本発明における半導体装置の製造方法では、溝による素子分離を持つ半導体装置において、基板上に半導体素子を分離する溝を形成する工程と、該溝の内壁に熱酸化膜（シリコン酸化膜）を形成する工程と、該基板上に化学気相成長法（CVD法）によりシリコン酸化膜を形成する工程とを備え、更に、これらの工程を経た後に、当該シリコン酸化膜を高圧雰囲気中で熱処理することとした。

【0013】この高圧雰囲気中での熱処理は、CVD法によって形成されたシリコン酸化膜が基板と共に高圧雰囲気中で実行される。これにより、常圧に比べて低い温度でシリコン酸化膜の緻密化が行われる。

【0014】また、本発明では、更に、溝による素子分離を持つ半導体装置において、基板上に半導体素子を分離する溝を形成する工程と、該溝の内壁に熱酸化膜（シリコン酸化膜）を形成する工程と、該シリコン酸化膜上にシリコン窒化膜を形成する工程と、該基板上に化学気相成長法によりシリコン酸化膜を形成する工程とを備え、更に、これらの工程を経た後に、当該シリコン酸化膜を高圧雰囲気中で熱処理する、という構成を採ってもよい。

【0015】この場合も、常圧に比べて低い温度でシリコン酸化膜の緻密化が行われる。そして、この場合の構造、即ち溝側壁にシリコン窒化膜が形成されている構造の場合は、高圧熱処理の雰囲気として水蒸気を含む雰囲気の方がより低温で緻密化できるといふ利点がある。

【0016】

【発明の実施の形態】次に、本発明の実施の形態について図1を参照して詳細に説明する。

【0017】本発明の最良の実施形態にあつては、基板上にパターンニングされたシリコン酸化膜及びシリコン窒化膜をマスクにして、素子間に溝が形成され、その上にCVD法によるシリコン酸化膜が形成されている。

【0018】その後、高圧雰囲気中で熱処理を行うことにより、シリコン酸化膜を緻密化する。そして、更に、CMP法によりシリコン酸化膜を平坦化し、溝内だけにシリコン酸化膜を形成する。

【0019】雰囲気としては、溝側壁にシリコン窒化膜がない構造の場合は、水蒸気を含まない窒素、酸素、不活性ガス及びその混合ガス雰囲気で行うことが望ましい。

【0020】溝側壁にシリコン窒化膜がある構造の場合は、水蒸気、酸素、窒素、酸素、 Na_2O 及びその混合ガス雰囲気で行うことが望ましい。

【0021】

【実施例1】以下、本発明の第1実施例を図1に基づい

て説明する。この図1における(a)～(e)は、この第1実施例における半導体装置の製造工程を示す工程断面図である。

【0022】まず、基板1上に熱酸化膜2を介してシリコン窒化膜3を形成する。この場合、ホトリソグラフィ法とドライエッチング法とにより、シリコン窒化膜3及び熱酸化膜2を所望の溝パターンに加工する。

【0023】次に、シリコン窒化膜3をマスクとして基板1のシリコンをドライエッチング法によって所望の形状の溝4に加工する。そして、この溝4形成後に、当該溝4を保護するための熱酸化膜1Aを溝4の内壁に形成する（図1(a)参照）。

【0024】そして次に、基板1上に減圧CVD法により、シリコン酸化膜5を形成し、溝内部を埋設する（図1(b)参照）。

【0025】更にその後、このシリコン酸化膜5を緻密化するために、水蒸気及び酸素を含まない高圧雰囲気中で熱処理を行う。

【0026】ここで、かかる雰囲気での熱処理について詳述すると、シリコン酸化膜は一般に粘性の高い液体であり、室温のような温度が低い場合は個体のように固まっている。これが温度の上昇に伴い、粘性が低下し、融点近傍では液体のような流れる性質を示すようになる。この粘性の低下は、比較的低温でも起こっており、例えば1000(°C)では約 10^{12} ボアズ以下である。そして、この時、シリコン酸化膜の表面に圧力を加えることにより、酸化膜の構造が再配列される。

【0027】これに対し、常圧では、外部からの力が加わらず、より高温で初めて構造の再配列が行われる。これにより、高圧雰囲気中で熱処理を行うことにより、より低量でシリコン酸化膜を緻密化することができる。

【0028】また、高圧熱処理を水蒸気及び酸素を含まない雰囲気で行うため、溝内部のシリコンが酸化されず、酸化による溝側壁に成長するシリコン酸化膜による溝内部の応力の増加を防ぐことができる。

【0029】高圧雰囲気の熱処理による緻密化後、CMP法による平坦化を行う。この時、シリコン窒化膜3がCMPのストッパー層として働き、最適な研磨形状を得ることができる（図1(c)参照）。この場合、CMP法による平坦化は、フッ酸を含む溶液による洗浄工程にておこなわれる。このため、十分に緻密化されたシリコン酸化膜5は、膜ペリが少なく窪みも生じない。

【0030】その後、ストッパー層として用いたシリコン窒化膜3を湿式法もしくはプラズマを用いたドライエッチングにより除去し、さらに熱酸化膜2を除去する（図1(d)参照）。

【0031】そして、十分に緻密化されたシリコン酸化膜5は、この後のゲート酸化膜形成工程でのフッ酸を含む溶液による洗浄工程においても、膜ペリが少なく平坦な形状を得ることができる。

【0032】

【実施例2】次に、本発明の第2実施例を図2に基づいて説明する。この図2における(a)～(e)は、この第2実施例における半導体装置の製造工程を示す工程断面図である。

【0033】まず、基板11上には、前述した図1の場合と同様に、熱酸化膜12を介してシリコン窒化膜13を形成する。ここで、熱酸化膜12の厚さは、100オングストロームに設定されている。

【0034】次に、ホトリソグラフィ法とドライエッチング法により、シリコン窒化膜13及び熱酸化膜12を所望のパターンに加工する。その後、シリコン窒化膜13をマスクとして基板11のシリコンをドライエッチング法によって所望の形状に溝14を加工する。そして、溝形成後、当該溝14を保護するため当該溝14の内壁に熱酸化膜11Aを形成する(図2(a)参照)。

【0035】次に、減圧CVD法によるシリコン窒化膜16を形成する(図2(b)参照)。この場合、シリコン窒化膜16の厚さは、厚すぎるとCMP後にシリコン窒化膜を除去する際、エッチングが進んでしまい、くびれが生じてしまうので、注意を要する。また、薄すぎると熱処理時の耐酸化性が劣化してしまう。このため、シリコン窒化膜16の厚さは、50～100オングストローム程度が望ましい。

【0036】又、図2(c)に示すように、シリコン窒化膜16を形成後、ドライエッチング法により、エッチバックすることによって溝14の内壁のみにシリコン窒化膜16を形成する。これにより、シリコン窒化膜16の応力を低減することが可能となる。その後、基板11上に減圧CVD法によるCVDシリコン酸化膜17を形成し、溝14内部を埋設する(図2(d)参照)。

【0037】次に、このシリコン酸化膜17を緻密化するために、水蒸気を含む高圧雰囲気により熱処理を加える。

【0038】ここで、水蒸気を含む雰囲気中では、シリコン酸化膜17中に大量の水分が侵入する。図3に膜中の水分と膜の粘性との関係を示す。この図3より、水分の増加と共に粘性が急激に減少することが判る。この事実から、水蒸気雰囲気で行うことにより、シリコン酸化膜17が低温で軟化するため、比較的低温に設定しておいて且つ高圧を加えることにより、シリコン酸化膜を緻密化することができる。

【0039】又この時、溝14の壁面のシリコン窒化膜16は、シリコンの酸化を防止する。このため、側壁のシリコンの酸化による溝14の内部の応力の増加を防ぐ

点で都合がよい。

【0040】続いて、熱処理による緻密化の後、CMP法による平坦化を行う。この時、シリコン窒化膜13がCMP処理時のストッパー層として働き、最適な研磨形状を得ることができる(図2(e)参照)。この場合、CMP後のフッ酸を含む溶液による洗浄工程において、シリコン酸化膜17は熱処理によって既に十分に緻密化されており、膜べりが少なく窪みも生じない。

【0041】その後、ストッパー層として用いたシリコン窒化膜13を湿式法もしくはプラズマを用いたドライエッチングにより除去し、更に熱酸化膜12を除去する(図2(f)参照)。

【0042】十分に緻密化されたシリコン酸化膜17は、この後のゲート酸化膜形成工程でのフッ酸を含む溶液による洗浄工程でも、膜べりが少なく平坦な形状を得ることができる。

【0043】

【発明の効果】本発明は以上のように構成され機能するので、これによると、溝埋設に用いられるCVD法によるシリコン酸化膜が高圧雰囲気での熱処理により、充分緻密化されているため、従来技術で生じていた平坦化後の溝埋設膜の両端のくびれを完全に排除することができ、これがため、基板内における欠陥の発生を抑制し、同時に基板上における素子相互間の分離を確実に成し得るといふ従来にない優れた半導体装置の製造方法を提供することができる。更に、溝側壁にシリコン窒化膜を形成すると、溝側面のシリコンの酸化をより一層有効に防ぐことができ、このため、経時的に生じ易い溝内の応力の発生を予め有効に防止することができ、かかる点において装置全体の耐久性増大を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を説明するための工程断面図である。

【図2】本発明の第2実施例を説明するための工程断面図である。

【図3】シリコン酸化膜の粘性の膜中水分に対する依存性を示す図表である。

【図4】従来技術により形成した溝による素子分離状態を示す説明図である。

【符号の説明】

1, 11 基板

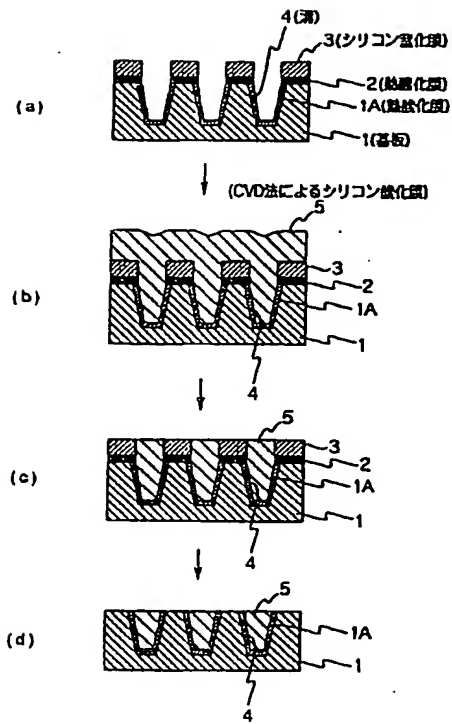
1A, 2, 11A, 12 熱酸化膜

3, 13, 16 シリコン窒化膜

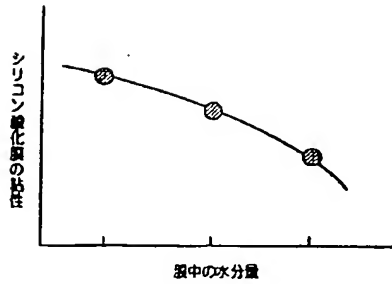
4, 14 溝

5, 17 CVD法によるシリコン酸化膜

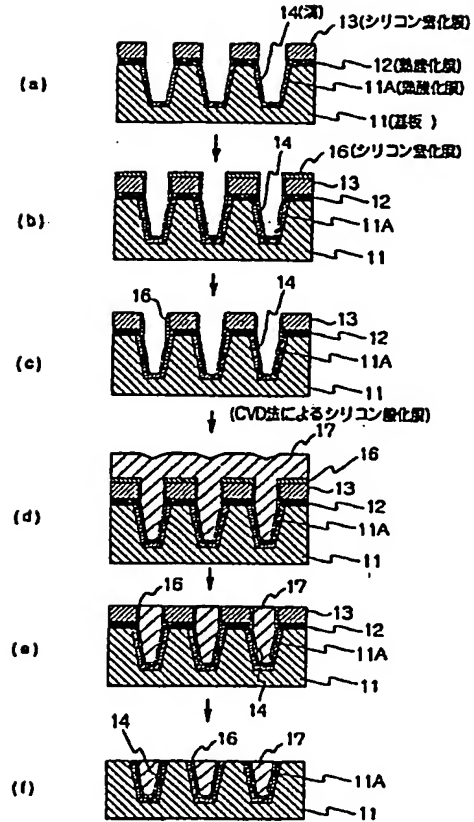
【図1】



【図3】



【図2】



【図4】

